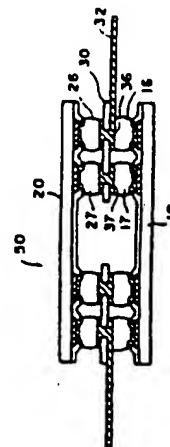


(54) ELECTRONIC DEVICE

(11) 4-366167 (A) (43) 21.12.1992 (19) JP
 (21) Appl. No. 3-170485 (22) 14.6.1991
 (71) YAMAHA CORP (72) MASAYOSHI OMURA
 (51) Int. Cl.⁴ H01L25/065, H01L25/07, H01L25/18

PURPOSE: To improve easiness of manufacture and also improve mounting density in an electronic device combining IC chips such as an LSI chip.

CONSTITUTION: A plurality of IC chips 10, 20 are fixed and electrically connected by a plurality of connecting materials with the electrode forming surfaces directioned inside for the face-to-face arrangement. Moreover, electrical terminals such as leads 32 connected to at least one integrated circuit of the IC chips 10 and 20 are led to outside from the space between chips. Each connecting material is formed by protruding electrodes 16, 26 and electrode connecting portion 36. The face-to-face bonding can be done easily by previously providing the protruding electrodes 16, 17, 26, 27 in the chip side or lead side. In addition, a high density mounting can be realized by stacking and bonding a plurality of chip sets 50.



50: chip set

日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-368167

(43) 公開日 平成4年(1992)12月21日

Int. Cl.⁶

識別記号

庁内登録番号

F I

技術表示面所

H 0 1 L 25/065

25/07

25/18

7220-4M

H 0 1 L 25/ 08

-Z

審査請求 未請求 請求項の数3(全 8 頁)

出願番号

特願平3-170485

出願日

平成3年(1991)6月14日

(71) 出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72) 発明者 大村 昌良

静岡県浜松市中沢町10番1号ヤマハ株式会
社内

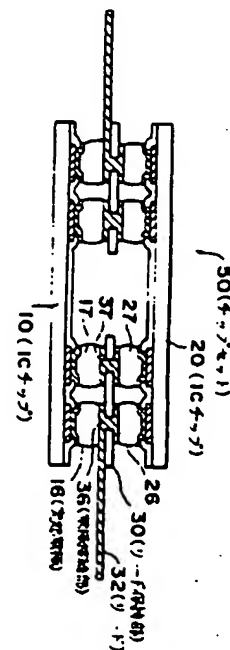
(74) 代理人 弁理士 伊沢 敏昭

【発明の名称】 電子装置

【要約】

【要約】 L S Iチップ等のI Cチップを組合せた電子
において、製造容易性を改善すると共に実装密度の
を図る。

【要約】 複数のI Cチップ10、20を電極形成面を
にして対向配置した状態で複数の接続体により固定
し電気接続すると共に、I Cチップ10及び20の
くとも一方の集積回路に接続されたリード32等の
電子をチップ間の空間から外方に導出する。各接続
突起電極16、26及び電極接続部36等により
される。突起電極16、17、26、27等をチッ
又はリード側に予め設けておくことによりフェース
のフェースで簡単にボンディングを行なえる。ま
このように構成されたチップセット50を複数重ね
することで高密度の実装が可能になる。



【特許請求の範囲】

【請求項1】 (a) 一方の主面に第1の集積回路及びこの回路の複数の電極が形成された第1の集積回路チップと、 (b) この第1の集積回路チップの一方の主面に対向し且つ接近して配置される第2の集積回路チップであって、前記第1の集積回路チップの一方の主面と対面する一方の主面には第2の集積回路が形成され且つこの回路の複数の電極が前記第1の集積回路の複数の電極に対応して形成されているものと、 (c) 前記第1及び第2の集積回路チップを前記対向し且つ接近した配置状態に固定すると共に両集積回路チップの対応する電極同士をそれぞれ電気的に接続するように両集積回路チップ間に介在配置された複数の接続体と、 (d) 前記第1及び第2の集積回路チップの間で前記第1及び第2の集積回路のうち少なくとも一方のものに電気的に接続され、両集積回路チップの間から外方に導出された複数の電気端子とをそなえた電子装置。

【請求項2】 (a) 一方の主面に第1の集積回路及びこの回路の複数の電極が形成された第1の集積回路チップと、 (b) この第1の集積回路チップの一方の主面に対向し且つ接近して配置される第2の集積回路チップであって、前記第1の集積回路チップの一方の主面と対面する一方の主面には第2の集積回路が形成され且つこの回路の複数の電極が前記第1の集積回路の複数の電極に対応して形成されているものと、 (c) 前記第1及び第2の集積回路チップを前記対向し且つ接近した配置状態に固定すると共に両集積回路チップの対応する電極同士をそれぞれ電気的に接続するように両集積回路チップ間に介在配置された複数の接続体と、 (d) 前記第1及び第2の集積回路チップの間で前記第1及び第2の集積回路のうち少なくとも一方のものに電気的に接続され、両集積回路チップの間から外方に導出された複数の電気端子と、 (e) 前記第1及び第2の集積回路チップの間で前記第1及び第2の集積回路の各一部又は全部を気密封止するように両集積回路チップの間に介在配置された封止体とをそなえた電子装置。

【請求項3】 (a) 一方の主面に第1の集積回路及びこの回路の複数の電極が形成された第1の集積回路チップと、 (b) この第1の集積回路チップの一方の主面に対向し且つ接近して配置される第2の集積回路チップであって、前記第1の集積回路チップの一方の主面と対面する一方の主面には第2の集積回路が形成され且つこの回路の複数の電極が前記第1の集積回路の複数の電極に対応して形成されているものと、 (c) 前記第1及び第2の集積回路チップを前記対向し且つ接近した配置状態に固定すると共に両集積回路チップの対応する電極同士をそれぞれ電気的に接続するように両集積回路チップ間に介在配置された複数の接続体と、 (d) 前記第1及び第2の集積回路チップの間で前記第1及び第2の集積回路のうち少なくとも一方のものに電気的に接続され、両集

積回路チップの間から外方に導出された複数の電極とを有するチップセットを複数個そなえ、これらチップセットを前記電極が形成された主面とは反対側面にて重ね合せ且つ接合したことを特徴とする電子装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、LSIチップの数のIC（集積回路）チップを組合せた電子装置とし、複数のICチップを電極形成面を内側にして配置した状態で突起電極等の複数の接続体により図10の電気接続したことにより製造容易性を改善するの装置密度の向上を図ったものである。

【0002】

【従来の技術】 従来、ICチップを組合せた電子装置としては、図15～16に示すようにリードフレームのチップ保持部1Aの一面及び他面にICチップ2及び3をそれぞれ裏面にて固定すると共にICチップ2及び3の電極をボンディングワイヤ4及び5によりリード1a及び1bに接続し、樹脂体6によりチップ2、3、チップ保持部1A、ボンディングワイヤ4、5及びリード1a、1bのチップ近傍部分をモールド封止したものが知られている（例えば実開平2-248号公報参照）。

【0003】 また、別の従来装置としては、図17に示すようにリード1a、1bから分岐した上下のチップ保持部1A、1Bに図15～16で述べたと同様にチップ2A及び3Aと2B及び3Bとをそれぞれ固定すると共にこれらのチップをボンディングワイヤ4A及び5Aと4B及び5Bとによりリード1a、1bにそれぞれ接続し、樹脂体6によりICチップ2A、3A、2B、3B、チップ保持部1A、1B、ボンディングワイヤ4A、5A、4B、5B及びリード1a、1bのチップ近傍部分をモールド封止したものが知られている（前記参照）。

【0004】

【発明が解決しようとする課題】 図15～16の装置によると、2チップを重ねて結合したことで実装の向上が可能であるが、製造が容易でないという問題がある。すなわち、ICチップ2及び3はいずれも形成面を外側に向けた状態でチップ保持部1Aに取られるため、電極形成面やボンディングワイヤを傷めないよう特別の注意を払って取扱う必要があり、他方のICチップ2についてワイヤボンディングが完了した後他方のICチップ3についてワイヤボンディングを行うときはICチップ2の電極形成面やボンディングワイヤを傷つけないよう保護するのが容易でない。

【0005】 また、図17の装置によると、図15～16の装置と同様の問題点がある他、組立作業に作業性を良くするためチップ保持部1A及び1Bの広くなる必要があり、外形が大型化する不都合が生ずる。

3

【006】この発明の目的は、製造容易で実装密度の電子装置を提供することにある。

007]

【問題を解決するための手段】この発明による電子装置

(a) 一方の主面に第 1 の集積回路及びこの回路の

(a) 一方の主面に第 1 の集積回路及びこの回路の電極が形成された第 1 の集積回路チップと、

この第1の集積回路チップの一方の主面に対向し接近して配置される第2の集積回路チップであつ

前記第1の集積回路チップの一方の主面と対面する主面には第2の集積回路が形成され且つこの回路

以上の電極が前記第1の集積回路の複数の電極に対応形成されているものと、(c)前記第1及び第2の電極

回路チップを前記対向し且つ接近した配置状態に固

と共に両集積回路チップの対応する電極同士をそ
電氣的に接続するように両集積回路チップ間に介

された湿度の接続体と、(d) 前記第 1 及び第 2 回路チップの間で前記第 1 及び第 2 の集積回路の

なくとも一方のものに電氣的に接続され、兩果積
ツブの間から外方に導出された複数の電気端子と

08] このような構成において、複数の電気端子

数の接続体から導出してもよいし、あるいはこれ
接続体とは別の突起部極番から導出してもよい。

【０００９】この発明の構成にあっては、第１及び第２回路手続の間で第１及び第２の集積回路を

回路チップの間で第1及び第2の集積回路の各一
全部を気密封止するように両集積回路チップの間
を封止して密封。

10] また、上記のように第1及び第2の集積回

ブ、複数の接続体、複数の電気端子等を組合せた
ユニットを複数個設け、これらのチップセットを電

えられた主面とは反対側の主面にて重ね合せ且つ
もよい。

1)
この発明の構成によれば、第1及び第2の異種

この発明の構成によれば、第1及び第2の集積
ブを電極形成面を内側にしてフェース・トゥ・

で接続するので、電極形成面等の損傷を回避す
易であり、しかもフェースダウンボンディング

簡単に接続作業を行なえる。また、2チップを
近ざせて重ね接続を行なうので、実装性に優

占有面積で足りると共に図15～16のものに

2】その上、上記したように2つの集積回路チ

封止体を設けると、信頼性を向上させることが

量により封止用のパッケージを省略又は簡略化
ができる。

3) さらに、上記したように複数のチップセット形成面とは反対側の面で重ね合せて接合する

ブセット間の距離を接着材層の厚さ程度にまで
 できるので、図17のものに比べて裏装花厚が大 50

4

【実施例】図１は、この発明の一実施例による電子回路の概略図である。

としてのチップセット50の断面構造を示すものであり、このチップセット50は、突起電極16、17等を有する第1のICチップ10と、突起電極26、27等を有する第2のICチップ20と、リード32、電極接続部36、37等を有するリード保持部30とをそなえている。

【0015】ICチップ10は、図2に一例を示すようにシリコン等の半導体基板10Aの一方の主面に所望の集積回路11及びこの回路の多数の突起電極16、17、18a、18bを形成したものである。ここで、突起電極16は、チップ間接続被外部導出用のもの、突起電極17は、チップ間接続専用のもの、突起電極18a、18bは、チップ間接続の機械的強度を増すためのダミー電極（通電しない電極）である。なお、突起電極17、18a、18bは場合によっては省略してもよい。

【0016】各突起電極は、一例を突起電極16について図3に示すように形成される。すなわち、基板10Aの表面を覆うシリコンオキサイド等の絶縁膜12の上に突起電極16の下地となる電極を形成した後、この下地電極の上にメッキ法、ハンダ法、転写パンプ法等の公知の方法により突起電極16を形成する。下地電極は、例えば第1及び第2の金属層13及び15を保護絶縁膜1の接続孔を介して積層して成るもので、絶縁膜12の上に金属層13を覆って絶縁膜14を形成した後、絶縁膜14に接続孔を形成し、この接続孔を介して金属層1に接続されるように金属層15を形成することによりられる。第1の金属層13は、集積回路1-1の配線に接続されているもので、例えばA1又はA1合金からなる。また、第2の金属層15は、耐腐食性及び耐酸化性を有すると共に第1の金属層13及び突起電極16と密着性（ぬれ性）が良い金属（例えばTi、Ni、Cr、Cu、Pd、Au、Pt等）からなるものである。なお、耐酸化性や密着性を一層向上させるために第2の金属層15を多層構造にしてもよい。

0017] ICチップ20は、上記したICチップ1と同様に構成されるもので、一方の主面には図2に示すのと同様の集積回路が形成され且つこの回路の227等の多数の突起電極が図2の突起電極16、118a、118b等に対応して形成されている。ICチップ10及び20のサイズは、ほぼ同じに示してある異なっているもよい。

【018】リード保持部30は、図4～5に一例を示すようにキャリアテープ31を用いて製作される。キャリアテープ31は、ポリイミド等の樹脂からなるもの。その一方の主面には中央孔33を取囲むように多数のリード32が設けられている。また、中央孔33の周

図には、多数の電極接続部36、37、38a、38bが設けられており、各電極接続部は、図5に示すようにキャリアテープ31の一方の主面から他方の主面に貫通するように形成されている。

【0019】電極接続部36は、チップ間接続兼外部導出用のものであり、それぞれリード32に接続されている。電極接続部37は、チップ間接続専用のもの、電極接続部38a、38bは、前述のダミー電極18a、18bとそれぞれ接続されるものである。電極接続部38a、38bについては、チップ間接続が不要であるため、キャリアテープ31の両主面間を貫通した形にせず、各主面毎に独立の接続部を形成してもよい。なお、電極接続部37、38a、38bは場合によっては省略してもよい。

【0020】リード32及び各電極接続部は、例えばCu等の金属からなり、その表面には金、スズ等がメッキされている。これは、突起電極とのぬれ性を良くするためと、酸化されやすい銅の表面を保護するためである。

【0021】キャリアテープ31には、中央孔33の他に、リード露呈孔34a~34d及び送り孔35A、35Bが設けられている。中央孔33は、キャリアテープ31の湾曲時にチップ面に当る部分をなくすためのもので、チップ面に当るおそれがないときは省略してもよい。リード露呈孔34a~34dは、リード32の切断及び折り曲げを容易にするためのもの、送り孔35A、35Bは、キャリアテープ31を巻取ったり、チップボンディング時に位置決めに用いたりするものである。

【0022】リード保持部30は、キャリアテープ31を切断線39に沿って切断することにより同テープから分離される。通常は、このような分離作業に先立ってICチップ10、20をリード保持部30にボンディングする。

【0023】チップボンディングにあたっては、図1に示すようにICチップ10及び20をリード保持部30に対してフェース・トゥ・フェースにて加熱・圧着する。キャリアテープ31をポリイミド等の耐熱性ある樹脂で形成しておけば、300~350℃まで変質せず使用できるため、加熱を十分に行なうことができ、突起電極をハンダで形成しても容易に熔融・接合を行なえる。なお、ICチップ10及び20の接合は、同時でもよいし、別々でもよい。

【0024】チップボンディングの後、キャリアテープ31からリード保持部30を切断・分離すると、図1に示すようなチップセット50が得られる。このようなチップセット50では、ICチップ10及び20の集積回路が並列接続されることになるが、各チップ毎に独立に集積回路を動作させるためには、次の(イ)又は(ロ)のいずれかの方法を採用することができる。

【0025】(イ) ICチップ10又は20において少なくとも1つのリードに対する電気接続を切断又は非接

続状態としておくことにより各チップを異なるリーにて動作させる。

【0026】(ロ) ICチップ10及び20のうちくとも一方のものに特別な信号に応じて該一方の動作可能とする回路を予め集積化しておく。

【0027】図6は、チップセット50の取付構造例を示すものである。ICチップ10、20及びリード保持部30を含むチップセット50は、電気端子との多数のリード32が四方に導出されている。配線(又はパッケージ基板)40の一面には、リードに対応して多数の配線層42が設けられると共に各層毎にボンディングパッドとしての電極層44が設けられている。各リード32は、対応する配線層42の44に熱圧着等により接続される。

【0028】チップセット50上には他のチップセットを重ねて配置し、そのリードを基板40上の配線層に接続してもよい。また、チップセット50の上下の面をヒートシンクを接触して配置することもでき、これにすれば発熱量の多い集積回路にも十分に対処することができる。

【0029】図7は、チップセットを収納したパッケージ構造の一例として複数のチップセットをPGA(プラグリッドアレイ)パッケージに収納した構成を示すものである。

【0030】パッケージ基板60には、中央部を開口するように例えば3段階的に複数のピン64A、64B、64Cが設けられており、2及び3段目のピン64B、64Cは基板60上で絶縁枠62B、62Cをそれぞれ通して各々の枠の上部に現われるように配置される。

【0031】基板60の中央部には、図1に示したような例えば3つのチップセット50A、50B、50Cを重ねて配置される。チップセット50Aは下面において基板60の表面に接着材層66aにより接着される。各リード52Aが1段目の対応するピン64Aの先端部に接続される。チップセット50Bは下面及び上においてチップセット50Aの上表面及びチップセット50Cの下面にそれぞれ接着材層66b、66cにより接着されると共に各リード52Bが2段目の対応するピン64Bの内方端部に接続される。チップセット50Cは各リード52Cが3段目の対応するピン64Cの内方端部に接続される。

【0032】基板60上には、チップセット50A、50B、50C、ピン64A~64C、絶縁枠62B、62Cの側面を覆うようにキャップ68が配置される。キャップ68は下端部を接着材層66dにより基板上面に固着する。これによりキャップ内の物体が気密封止される。なお、接着材層66a~66dとしては、樹脂、ハンダ、エポキシ等のうち任意のものをを用いることができる。

【0033】上記実施例において、リード保持部30

能となる。

【0045】一例として、チップセット100(1)～100(n)を半導体メモリのチップセットとすれば、小型で大容量の記憶装置を実現することができる。この場合、各チップの基板への配線長が短いため配線による信号遅延が少なく、高運動作が可能である。従って、かような記憶装置は、CPUのメインメモリ等として用いるに好適なものである。

【0046】図14は、この発明の更に他の実施例によるチップセット50aを示すものである。図14において、図1と同様な部分には、同様の符号を付して詳細な説明を省略する。

【0047】チップセット50aの特徴は、第1にICチップ10、20の突起電極17、27を直結したことであり、第2に外部への電極導出を一方のチップ10の突起電極16からリード32により行なうようにしたことである。この場合、突起電極16は、外部導出専用となり、突起電極17、27は、チップ間接続専用となる。また、リード32は、図15に示したようなリードフレーム又は中央部に孔を設けたキャリアテープを用いるなどして容易に形成可能である。

【0048】チップセット50aにあつては、図8～12に示した封止構造を採用することもできるが、別の方法として、ICチップ10及び20の間に樹脂等を注入し、硬化させるなどして封止用絶縁体120を介在配置してもよい。

【0049】

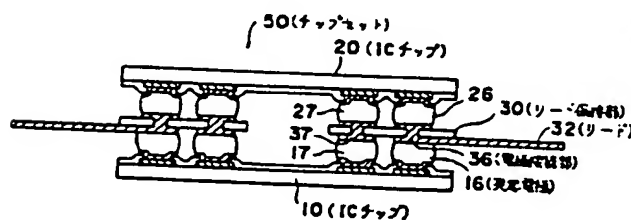
【発明の効果】以上のように、この発明によれば、第1及び第2の集積回路チップを対向・接近させた状態で複数の接続体により固定し且つ電気接続するようにしたので、製造容易で実装密度の高い電子装置を実現可能となる効果が得られるものである。

【0050】また、第1及び第2の集積回路チップの間に封止体を介在配置すると、パッケージを用いなくとも信頼性の向上が可能となる効果が得られる。

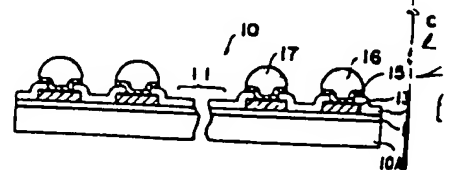
【0051】さらに、複数のチップセットを電極形成面と反対側の面で重ね合せ且つ接着すると、実装密度が大幅に向上する効果も得られる。

【図面の簡単な説明】

【図1】



【図3】



【図1】 この発明の一実施例によるチップセットの断面図である。

【図2】 図1の構成におけるICチップの斜視図である。

【図3】 図2のA-A'線に沿う断面図である。

【図4】 図1の構成に用いるキャリアテープの断面図である。

【図5】 図4のB-B'線に沿う断面図である。

【図6】 図1のチップセットを配線基板に取付け状態を示す斜視図である。

【図7】 図1のチップセットを複数組合せてパジャに収納した状態を示す断面図である。

【図8】 この発明の他の実施例によるチップセットを示す断面図である。

【図9】 図8の構成におけるICチップの斜視図である。

【図10】 図9のC-C'線に沿う断面図である。

【図11】 図8の構成に用いるキャリアテープの断面図である。

【図12】 図11のD-D'線に沿う断面図である。

【図13】 図8のチップセットを配線基板に取付け状態を示す断面図である。

【図14】 この発明の更に他の実施例によるチップセットを示す断面図である。

【図15】 従来の電子装置の一例を示す斜視図である。

【図16】 図15のX-X'線に沿う断面図である。

【図17】 従来の電子装置の他の例を示す断面図である。

【符号の説明】

10、20、70、80：ICチップ、16、17、26、27、94、95、104、105：突起電極、0：リード保持部、32：リード、36、37、1、102：電極接続部、50、50A～50C、a、100、100'(1)～100(n)：チップ、90：配線保持部、92：配線層、96、10封止用突起部、103：突起連結部、120：封止絶縁体。

10

この発明の一実施例によるチップセットである。

図1の構成におけるICチップの斜視図

図2のA-A'線に沿う断面図である。

図1の構成に用いるキャリアテープの斜視図である。

図4のB-B'線に沿う断面図である。

図1のチップセットを配線基板に取付けた状態を示す断面図である。

図1のチップセットを複数組合せてパッケージした状態を示す断面図である。

この発明の他の実施例によるチップセットである。

図3の構成におけるICチップの斜視図

図9のC-C'線に沿う断面図である。

図8の構成に用いるキャリアテープの斜視図である。

図11のD-D'線に沿う断面図である。

図3のチップセットを配線基板に取付けた状態を示す断面図である。

この発明の更に他の実施例によるチップセットの断面図である。

従来の電子装置の一例を示す斜視図

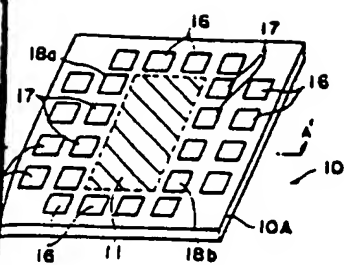
図15のX-X'線に沿う断面図である。

従来の電子装置の他の例を示す断面図

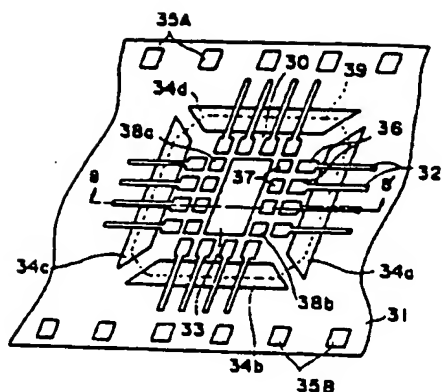
明]

70, 80: ICチップ, 16, 17, 94, 95, 104, 105: 突起電極, 保持部, 32: リード, 36, 37, : 電極接続部, 50, 50A~50C, : 100 (1) ~ 100 (n): チップ1 配線保持部, 92: 配線層, 96, 101, 派, 103: 突起連結部, 120: 封止

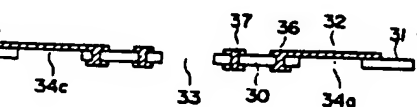
【図2】



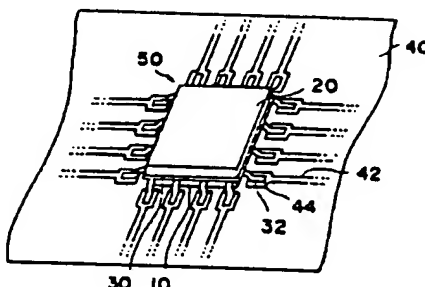
【図4】



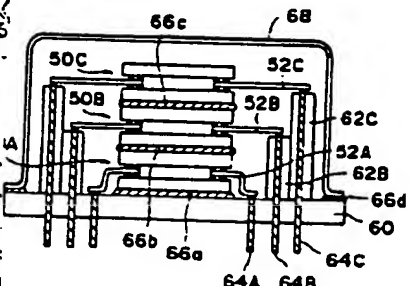
【図5】



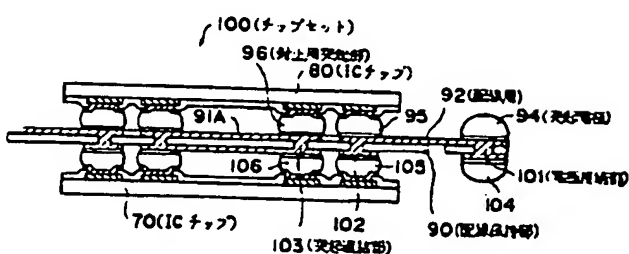
【図6】



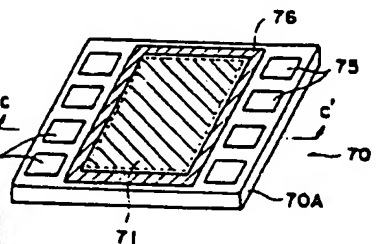
【図7】



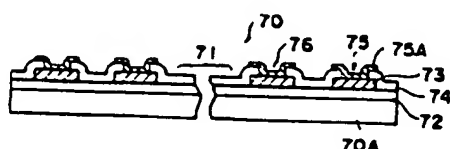
【図8】



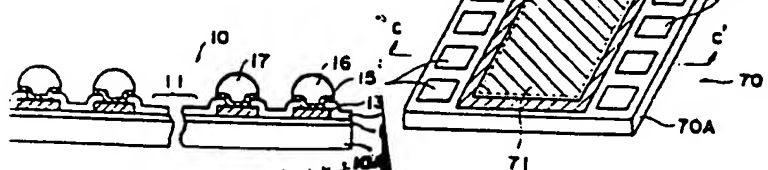
【図9】



【図10】



【図3】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.